

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat  
(c) 2004 EPO. All rts. reserv.

11987181

Basic Patent (No,Kind,Date): JP 6250212 A2 19940909 <No. of Patents: 002>

PATENT FAMILY:

JAPAN (JP)

Patent (No,Kind,Date): JP 6250212 A2 19940909

ACTIVE MATRIX SUBSTRATE AND ITS PRODUCTION (English)

Patent Assignee: SEIKO EPSON CORP

Author (Inventor): YUDASAKA KAZUO; TAKENAKA SATOSHI

Priority (No,Kind,Date): JP 9333646 A 19930223

Applic (No,Kind,Date): JP 9333646 A 19930223

IPC: \* G02F-001/136; G02F-001/1345; H01L-029/784

CA Abstract No: ; 122(18)228662R

Derwent WPI Acc No: ; G 94-326908

JAPIO Reference No: ; 180642P000069

Language of Document: Japanese

Patent (No,Kind,Date): JP 3453776 B2 20031006

Priority (No,Kind,Date): JP 9333646 A 19930223

Applic (No,Kind,Date): JP 9333646 A 19930223

IPC: \* G02F-001/1368

Language of Document: Japanese

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

04578312 \*\*Imag available\*\*

**ACTIVE MATRIX SUBSTRATE AND ITS PRODUCTION**

PUB. NO.: 06-250212 [JP 6250212 A]

PUBLISHED: September 09, 1994 (19940909)

INVENTOR(s): YUDASAKA KAZUO

TAKENAKA SATOSHI

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)

, JP (Japan)

APPL. NO.: 05-033646 [JP 9333646]

FILED: February 23, 1993 (19930223)

INTL CLASS: [5] G02F-001/136; G02F-001/1345; H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2  
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS)

JOURNAL: Section: P, Section No. 1838, Vol. 18, No. 642, Pg. 69,  
December 06, 1994 (19941206)

**ABSTRACT**

PURPOSE: To sufficiently reduce the offset current of pixel TFTs and to obtain uniform electrical characteristics by constructing the pixel TFT from TFT an offset type and TFTs constructing peripheral circuit from TFTs of a non- offset type.

CONSTITUTION: The pixel TFT-A is a channel type TFT and an offset gate type and the TFT-B and TFT-C constituting the peripheral circuits are a N channel type TFT and P channel type TFT, respectively, of a non-offset gate type. The TFT-A is longer in the length of the channel region 106 than the width of a gate electrode 112 and has a so-called offset structure and is small in off current. The TFT-and TFT-C constituting the peripheral circuits have a standard self-alignment structure and the large ion current is obtainable thereon. Namely, the TFTs with which the changes written into the pixel electrodes are sufficiently held and the peripheral circuits are capable of operating at a high speed and which have the excellent uniformity of the electrical characteristics are obtained

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-250212

(43)公開日 平成6年(1994)9月9日

(51)Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/1345		8707-2K		
H 0 1 L 29/784		9056-4M	H 0 1 L 29/78	3 1 1 A

審査請求 未請求 請求項の数4 O.L (全6頁)

(21)出願番号 特願平5-33646  
 (22)出願日 平成5年(1993)2月23日

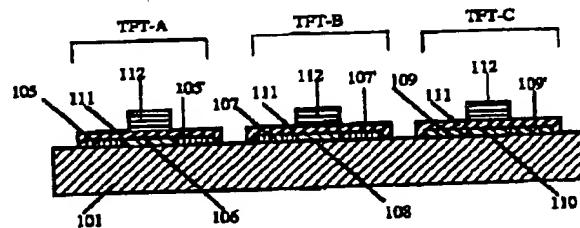
(71)出願人 000002369  
 セイコーエプソン株式会社  
 東京都新宿区西新宿2丁目4番1号  
 (72)発明者 湯田坂 一夫  
 長野県諏訪市大和3丁目3番5号セイコーエプソン株式会社内  
 (72)発明者 竹中 敏  
 長野県諏訪市大和3丁目3番5号セイコーエプソン株式会社内  
 (74)代理人 弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 アクティブマトリックス基板とその製造方法

## (57)【要約】

【目的】オフ電流の低い画素TFTと電気的特性の均一なTFTによる周辺回路により、高表示品質、高精細表示を可能とするアクティブマトリックス基板を製造する。

【構成】画素TFTをオフセットゲート構造、周辺回路を構成するTFTを標準的なセルフアライン構造とする。



(2)

特開平6-250212

2

## 【特許請求の範囲】

【請求項1】 絶縁基板上にCMOSで構成される周辺回路内蔵型のアクティブマトリックス基板において、画素TFTはオフセット型のPまたはNチャネル型TFT、周辺回路を構成するNチャネル型TFTとPチャネル型TFTは非オフセット型のTFTで構成されていることを特徴とするアクティブマトリックス基板。

【請求項2】 絶縁基板上にCMOSで構成される周辺回路内蔵型のアクティブマトリックス基板において、画素TFTはLDD型のPまたはNチャネル型TFT、周辺回路を構成するNチャネル型TFTとPチャネル型TFTは非LDD型のTFTで構成されていることを特徴とするアクティブマトリックス基板。

【請求項3】 絶縁基板上にシリコン薄膜を堆積しTFTのソース、ドレイン及びチャネルとなるバタンを形成する工程と、次にゲート絶縁膜を形成する工程と、次にゲート電極となる薄膜を堆積しゲート電極及びゲート線などのバタンにフォトエッチングする工程と、次に前記バタンニングのフォトレジスト残したまま、周辺回路を構成するPおよびNチャネル型TFTをレジストなどでマスクする工程と、次に画素TFTに、ゲート電極とその上に残されたレジストをマスクとしてソース・ドレイン形成用のイオン打ち込みを行う工程と、次に前記ゲート電極上に残されたレジストをマスクとして、画素TFTのゲート電極をオーバエッチして画素TFTのゲート長を短くする工程と、次に前記ゲート上に残されたレジストと前記周辺回路をマスクしたレジストなどを同時に除去する工程と、次にレジストマスクにより周辺回路を構成するP(N)チャネル型TFTのソース・ドレインに不純物をイオン打ち込みする工程と、次にレジストマスクにより周辺回路を構成するN(P)チャネル型TFTのソース・ドレインに不純物をイオン打ち込みする工程と、を含むことを特徴とする請求項1記載のアクティブマトリックス基板の製造方法。

【請求項4】 絶縁基板上にシリコン薄膜を堆積しTFTのソース、ドレイン及びチャネルとなるバタンを形成する工程と、次にゲート絶縁膜を形成する工程と、次にゲート電極となる薄膜を堆積しゲート電極及びゲート線などのバタンにフォトエッチングする工程と、次に前記バタンニングのフォトレジスト残したまま、周辺回路を構成するPおよびNチャネル型TFTをレジストなどでマスクする工程と、次に画素TFTに、ゲート電極とその上に残されたレジストをマスクとしてソース・ドレイン形成用のイオン打ち込みを行う工程と、次に前記ゲート電極上に残されたレジストをマスクとして、画素TFTのゲート電極をオーバエッチして画素TFTのゲート長を短くする工程と、次に前記ゲート上に残されたレジストと前記周辺回路をマスクしたレジストなどを同時に除去する工程と、次にレジストマスクにより周辺回路を構成するP(N)チャネル型TFTのソース・ドレイン

に不純物をイオン打ち込みし不要のレジストを除去する工程と、次にレジストマスクにより周辺回路を構成するN(P)チャネル型TFTのソース・ドレインに不純物をイオン打ち込みし不要のレジストを除去する工程と、次に低濃度のドナ不純物を基盤全面にイオン打ち込みする工程と、を含むことを特徴とする請求項2記載のアクティブマトリックス基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

10 【産業上の利用分野】本発明は、TFT (Thin Film Transistor) により形成される周辺回路内蔵型のアクティブマトリックス基板とその製造方法に関する。

## 【0002】

【従来の技術】従来、多結晶シリコン膜を用いたTFTはその電気的特性の良さを活かして、周辺回路内蔵型のアクティブマトリックス基板に利用されてきた。特にピューファインダ用などの小型の液晶パネルでは、微細ピッチの端子接続に関わる実装上の問題から周辺回路内蔵型のアクティブマトリックス基板が必須になっている。一方、多結晶シリコンTFTはオフ電流が比較的大きく、画素電極に書き込まれた電荷の保持が困難である。従って、パネルの表示品質を確保するため様々な工夫がなされてきた。このための手段として最近注目されているのが、オフセットゲート構造やLDD (Lightly Doped Drain) 構造のTFTである。前記両構造とも、基本的にはゲート電極とソース・ドレイン領域を形成する高濃度不純物領域の間に僅かな距離がある点で共通である。これらの構造は前記距離のおかげでドレイン端での電界の集中を緩和できるので、オフ電流を十分なレベルまで下げる事ができる。

## 【0003】

【発明が解決しようとする課題】オフセットゲート構造やLDD構造を形成するためには、前述したようにゲート電極とソース・ドレイン領域を形成する高濃度不純物領域との間に何らかの距離が必要であり、その製造方法が問題となる。多結晶シリコンTFTでは多結晶シリコン中の不純物の拡散係数が大きいため、前記距離は1乃至2μm程度が望ましい。この程度の距離を得る方法として一般的にはオーバエッチ法が用いられる。例えば、40 ゲート電極をレジストをマスクとしてエッチングし、次にゲート電極とレジストをマスクとしてソース・ドレイン形成のため高濃度不純物イオン打ち込みを行い、次にレジストをマスクとしてゲート電極をオーバエッチする。ソース・ドレインの高濃度不純物領域は、基本的には前記イオン打ち込み時のマスクで決定される。正確にはイオン打ち込み後に行われる活性化のための熱処理により、前記高濃度不純物領域は拡散により1μm程度大きくなる。しかし、ゲート電極のオーバエッチ量を前記拡散を考慮にいれて十分大きくすれば、オフセット構造を形成することができる。また、オーバエッチ後レジ

(3)

特開平6-250212

トを除去し、次にゲート電極をマスクとして低濃度の不純物イオン打ち込みを行えばLDD構造を得ることができる。

【0004】しかしながら、オーバエッチによる前述のオフセット構造やLDD構造の形成では、チャネル長を精確に制御するのが難しいと云う問題がある。例えば、ゲート電極材料を多結晶シリコンとする場合、エッ칭は通常プラズマエッ칭で行われる。標準的なエッ칭ではプラズマの発光強度の変化からエッ칭終点を知ることが出来るが、オーバエッチでは既にエッ칭が完了しており、プラズマの発光強度の変化からはオーバエッチの終点を知ることが出来ない。また、エッ칭装置は使用状況により微妙にエッチングレートが変化するものであり、オーバエッチ量を高精度で制御することが難しい。ゲート電極の幅即ちゲート長やオフセット長のばらつきはTFTの電気的特性のばらつきとなる。特に、TFTのオン電流はこれらの長さに大きく依存する。

【0005】CMOS方式の周辺回路内蔵型のアクティブマトリックス基板では、TFTの種類が周辺回路を構成するPチャネル型TFTとNチャネル型TFT及び画素TFTを構成するNチャネル型TFTの3種類ある。オフ電流を制御したいのは画素TFTであり、周辺回路を構成するTFTではオン電流を大きくし、なお且つ均一な特性にしたいと云う一般的の要請がある。標準的なTFTの製造工程では、前記3種類のTFTともオーバエッチされることになり、前述したようにTFT特性のばらつきが生じることになる。

【0006】図2は従来のアクティブマトリックス基板において、画素TFTを標準的なオフセット構造で製造するプロセスのTFT断面図を示したものである。図2において、絶縁基板上に上記3種類のTFTが形成される。206、208、210は夫々Nチャネル型の画素TFT、周辺回路を構成するNチャネル型TFTとPチャネル型TFTのソース、ドレイン及びチャネルとなる半導体層である。図2(a)において、ゲート絶縁膜211を形成した後ゲート電極212をレジストマスク213によりパタンニングし、該レジストを残したままNチャネルTFTのソース・ドレイン形成のための高濃度リンイオン打ち込み214を行う。次に図2(b)に示すように前記レジスト213をマスクとしてゲート電極を片側1乃至 $2\mu m$ オーバエッチし、ゲート電極212A、212B、212Cを得る。パタン設計上のゲート電極寸法は図2(a)に示すゲート電極212に反映される事になるが、最終的なゲート電極寸法は前記212A、212B、212Cで決定される事になる。即ち、ゲート電極寸法は前記オーバエッチ量に依存する事になる。ここで問題となるのが、前記オーバエッチは前述したようにエッチング終点の検出ができないために、オーバエッチ量がばらつき、従って、ゲート寸法がばらつく

事があることである。次に図2(c)において不要になった前記レジスト213を除去した後、2種類のNチャネル型TFTをレジスト215でマスクし、Pチャネル型TFTのソース・ドレイン形成のための高濃度ボロンイオン打ち込み216を行う。ボロンイオンの量を前記リンイオンの量より多くすれば、210にはP型のソース209およびドレイン209'を形成できる。ここまででの工程において、画素及び周辺回路を構成するNチャネル型TFTはオフセットゲート型TFTとなり、Pチャネル型TFTは標準的なセルフアライン型TFTとなる。画素TFTでは所望の低いオフ電流を得られるが、周辺回路を構成するNチャネル型TFTではオフセットゲート構造のため、十分なオン電流が得られない場合がある。この場合は図2(c)に統いて、不要となったレジスト215を除去し、さらに画素TFTとPチャネル型TFTをレジストでマスクし、リンイオン打ち込みを行えば周辺回路を構成するNチャネル型TFTを標準的なセルフアライン型TFTとすることができます。また、画素TFTをLDD構造としたい場合は、さらに前記不要となったレジストを除去し、比較的低濃度のリンイオン打ち込みを行えば良い。

【0007】以上に示したように、従来技術ではアクティブマトリックス基板の周辺回路を構成するTFTのゲートもオーバエッチされることになり、TFTの電気特性のばらつきを避けることが出来ない。また、TFTのパタン設計ではゲートのオーバエッチを考慮して寸法を決めなければならないと云う問題もある。

【0008】従って、本発明の目的は前述の問題点を解決し、画素TFTのオフ電流を十分低くし、且つ周辺回路を構成するTFTは均一な電気的特性が得られるアクティブマトリックス基板とその製造方法を提案することにある。

【0009】

【課題を解決するための手段】本発明は、

(1) 絶縁基板上にCMOSで構成される周辺回路内蔵型のアクティブマトリックス基板において、画素TFTはオフセット型のNチャネルTFT、周辺回路を構成するNチャネルTFTとPチャネルTFTは非オフセット型のTFTで構成されていることを特徴とする。

【0010】(2) 絶縁基板上にCMOSで構成される周辺回路内蔵型のアクティブマトリックス基板において、画素TFTはLDD型のNチャネルTFT、周辺回路を構成するNチャネルTFTとPチャネルTFTは非LDD型のTFTで構成されていることを特徴とする。

【0011】(3) 絶縁基板上にシリコン薄膜を堆積しTFTのソース、ドレイン及びチャネルとなるパタンを形成する工程と、次にゲート絶縁膜を形成する工程と、次にゲート電極となる薄膜を堆積しゲート電極及びゲート線などのパタンにフォトエッ칭する工程と、50 次に前記パタンニングのフォトレジスト残したまま、周

(4)

特開平6-250212

5

辺回路を構成するPおよびNチャネルTFTをレジストなどでマスクする工程と、次に画素TFTに、ゲート電極とその上に残されたレジストをマスクとしてソース・ドレイン形成用のイオン打ち込みを行う工程と、次に前記ゲート電極上に残されたレジストをマスクとして、画素TFTのゲート電極をオーバエッチして画素TFTのゲート長を短くする工程と、次に前記ゲート上に残されたレジストと前記周辺回路をマスクしたレジストなどを同時に除去する工程と、次にレジストマスクにより周辺回路を構成するPチャネル型TFTのソース・ドレインに不純物をイオン打ち込みする工程と、次にレジストマスクにより周辺回路を構成するNチャネルTFTのソース・ドレインに不純物をイオン打ち込みする工程と、を含むことを特徴とする。

## 【0012】

【実施例】以下に本発明を実施例に基づき説明する。図1は本発明の実施例であり、アクティブマトリックス基板を構成する3種類のTFTの断面図を示す。本発明のポイントがTFTのソース、ドレイン、チャネル、ゲートの相対位置関係にあるため、本実施例に示すTFTの断面図はこれらの要素部分だけを示している。図1において、透明絶縁基板101の上に3種類のTFTがあり、TFT-Aは画素TFTでNチャネル型TFTでオフセットゲート型、TFT-BとTFT-Cはアクティブマトリックス基板の周辺回路を構成するTFTで夫々非オフセットゲート型のNチャネル型TFTとPチャネル型のTFTである。TFT-AはN<sup>+</sup>高濃度不純物領域105、105'のソース・ドレイン、チャネル領域106、ゲート絶縁膜111、ゲート電極112から構成される。チャネル領域106の長さはゲート電極112の幅より長く、所謂オフセットゲート構造をなす。TFT-Bは非オフセットゲート構造、即ち標準的なセルフアライン構造のNチャネル型TFTであり、107、107'がN<sup>+</sup>高濃度不純物領域のソース・ドレイン、TFT-Cは標準的なセルフアライン構造のPチャネル型TFTであり、109、109'がP<sup>+</sup>高濃度不純物領域のソース・ドレインである。画素TFT-Aはオフセットゲート型TFTのためオフ電流が小さく、周辺回路を構成するTFT-B及びTFT-Cは標準的なセルフアライン構造であり大きなオン電流を得ることができる。即ち、画素電極に書き込まれた電荷は十分保持され、周辺回路は高速で動作できることになる。また、詳細は後述するが、周辺回路を構成する本発明によるTFTは、ゲート電極形成においてエッティング終点を検出可能な方法で加工できるため、電気的特性の均一性に優れている。従って、このようなTFTで構成されるアクティブマトリックス基板は高精細で高品質の液晶表示を可能とする。

【0013】次に本発明のアクティブマトリックス基板の製造方法を図3の実施例に基づき説明する。図3

10

20

30

40

50

6

(a)において、306、308、310は夫々Nチャネル型の画素TFT、周辺回路を構成するNチャネル型TFTとPチャネル型TFTのソース、ドレイン及びチャネルとなる半導体層である。前記チャネル層を形成した後、ゲート絶縁膜311を形成し、次にゲート電極材料をデポし、ゲート電極312をフォトエッチングする。ゲート電極材料を多結晶シリコンとすれば、エッチングはCF<sub>4</sub>プラズマによるドライエッチングにより、エッチング終点を確認し精确に寸法制御することができる。次に図3(b)に示すようにゲート電極をエッティングしたレジスト313を残したまま、周辺回路を構成するTFTをさらに別なレジスト315でマスクし、画素TFTであるNチャネル型TFTのソース・ドレイン形成のための高濃度リンイオン打ち込み314を行う。次に図3(c)に示すように前記レジスト313及び315をマスクとしてゲート電極を片側1乃至2μmオーバエッチし、ゲート電極312Aを得る。この時周辺回路を構成するTFTはレジスト315によりマスクされているため、これらTFTのチャネル長を決めるゲート寸法は何等の影響も受けない。従って、前記ゲート寸法は図3(a)に示すエッティングにより精确に決まる。一方、画素TFTのゲートは前記オーバエッチによる寸法減少により、オフセット構造となる。次に図4(a)において不要になった前記レジスト313及び315を除去した後、Nチャネル型TFTをレジスト317でマスクし、Pチャネル型TFTのソース・ドレイン形成のための高濃度ボロンイオン打ち込み318を行う。次に図4(b)に示すように、前記不要になったレジスト317を除去し、新たなレジスト319で画素TFTと周辺回路を構成するPチャネル型TFTをマスクし、高濃度のリンイオン打ち込み320により周辺回路を構成するNチャネル型TFTのソース307、ドレイン307'を形成する。ここまで工程において、画素TFTはオフセットゲート型TFTとなり、周辺回路を構成するNチャネル型TFTおよびPチャネル型TFTは標準的なセルフアライン型TFTとなる。さらに画素TFTをLD<sub>D</sub>構造としたい場合は、図4(b)に統いて不要となったレジスト319を除去し、次に比較的低濃度のリンイオン打ち込みを行えば良い。

## 【0014】

【発明の効果】以上説明したように、本発明によれば画素TFTをオフセット構造に、周辺回路を構成するTFTは標準的なセルフアライン構造にする事が出来るので、画素電極に書き込まれた電荷は十分保持され、周辺回路は高速で動作できることになる。また、周辺回路を構成するTFTのゲート長をバタン設計値を反映した値に高精度で均一に決定できるため、電気的特性の均一性に優れたTFTを得ることができる。従って、このようなTFTで構成されるアクティブマトリックス基板は高精細で高品質の液晶表示を可能とする。

(5)

特開平6-250212

7

## 【図面の簡単な説明】

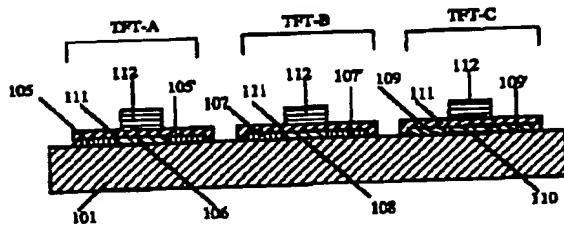
【図1】本発明によるアクティブマトリックス基板を構成するTFTの断面図。

【図2】従来技術によるアクティブマトリックス基板の製造方法を示す断面図。

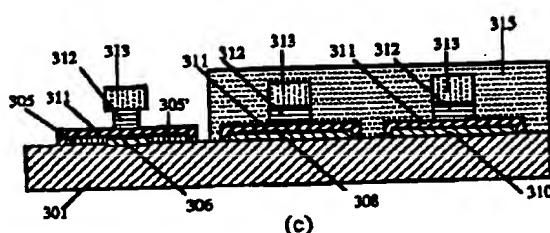
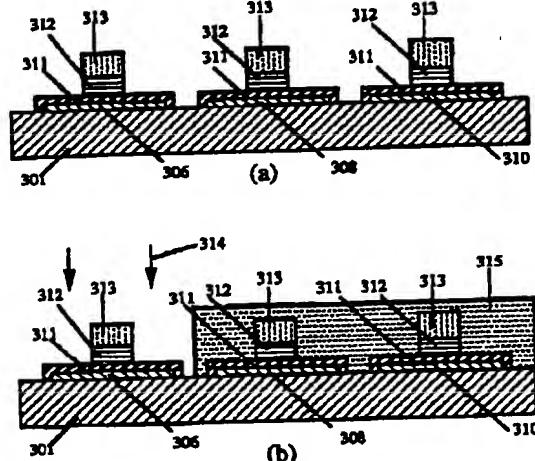
【図3】本発明によるアクティブマトリックス基板の製造方法を示す第1の断面図。

【図4】本発明によるアクティブマトリックス基板の製

【図1】



【図3】



造方法を示す第2の断面図。

## 【符号の説明】

101, 201, 301 ガラス基板

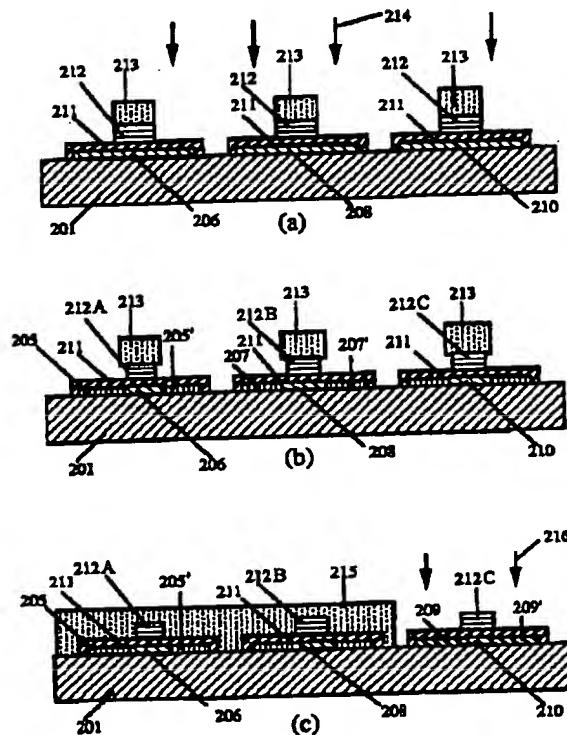
105, 107, 109, 205, 207, 209, 305, 307, 309 ソース、ドレイン

111, 211, 311 ゲート絶縁膜

112, 212, 312 ゲート電極

213, 215, 313, 315, 317, 319 フォトレジスト

【図2】



(6)

特開平6-250212

【図4】

